

Schieberegister

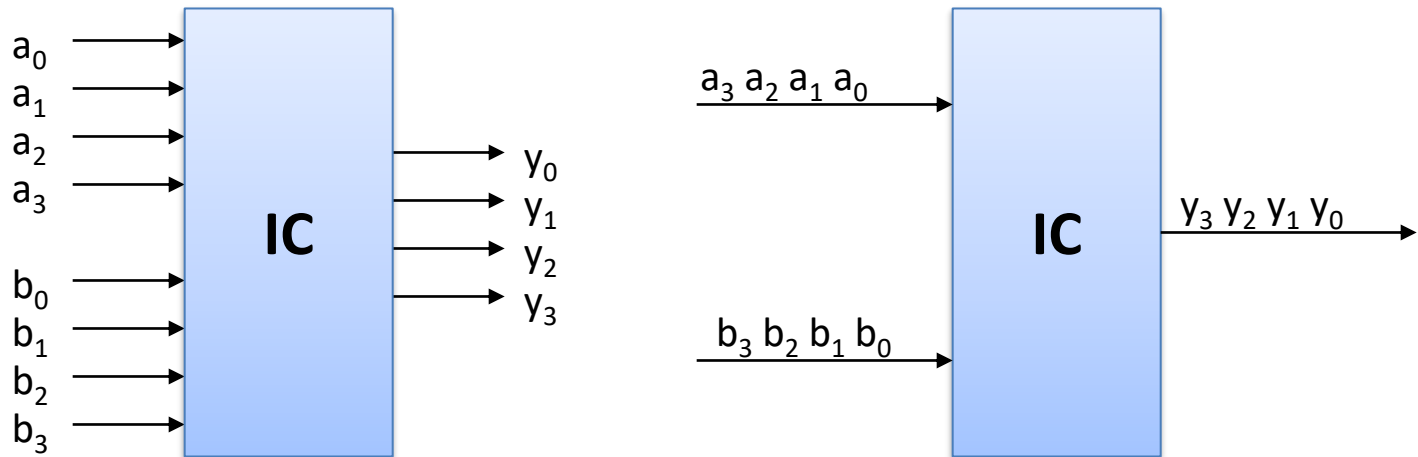
Netzwerke und Embedded Systems

1. Jahrgang

Wolfgang Neff

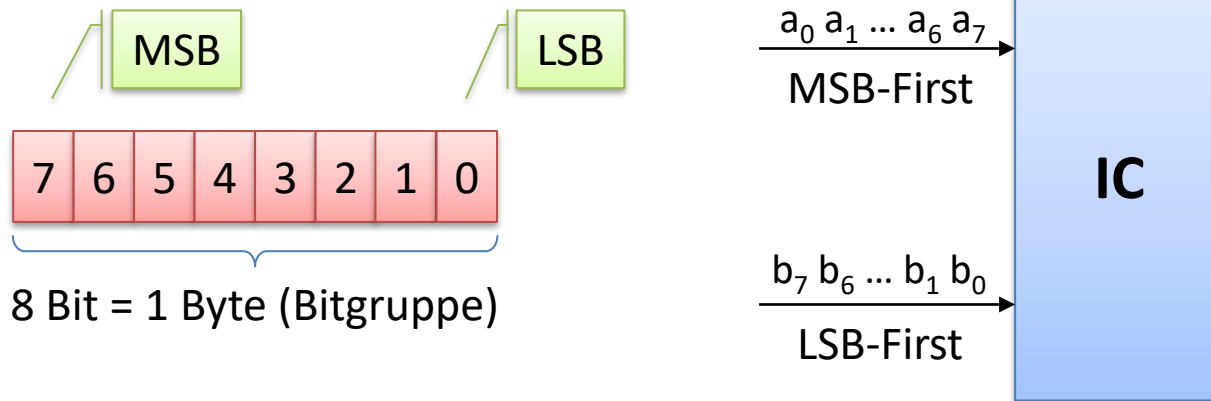
Seriell und Parallel (1)

- Parallel oder Seriell
 - Bits können parallel oder seriell eintreffen
 - Parallel: Alle auf einmal, Bitgruppen
 - Seriell: Nacheinander, Bitfolge



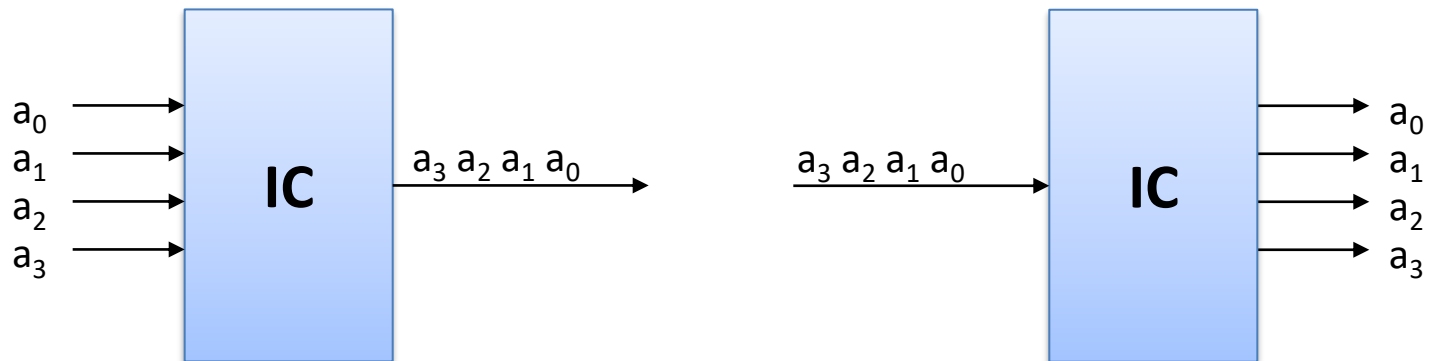
Seriell und Parallel (2)

- MSB- oder LSB-First
 - Die Reihenfolge des Bits kann verschieden sein
 - MSB-First: Most-Significant-Bit zuerst
 - LSB-First: Least-Significant-Bit zuerst



Seriell und Parallel (3)

- Wandler
 - Parallel-zu-seriell-Wandler
 - Eine Bitgruppe wird zu einer Bitfolge gewandelt
 - Seriell-zu-parallel-Wandler
 - Eine Bitfolge wird in eine Bitgruppe gewandelt

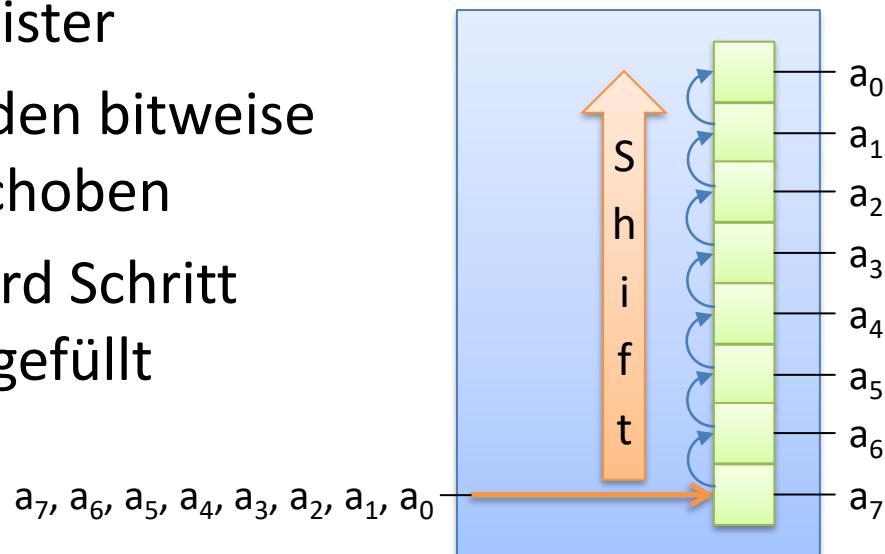


Seriell und Parallel (4)

- Seriell-zu-parallel-Wandler

- Implementierung

- Schieberegister
- Daten werden bitweise hinein geschoben
- Register wird Schritt für Schritt gefüllt

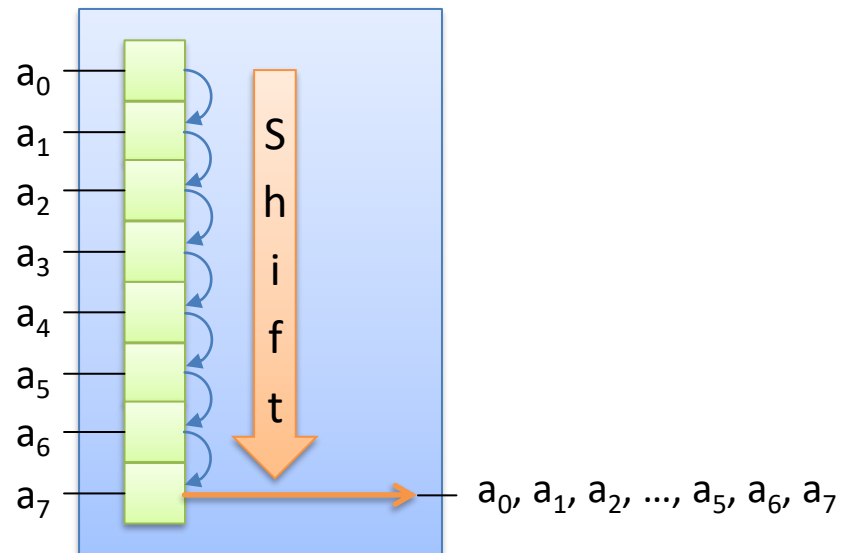


Seriell und Parallel (5)

- Parallel-zu-seriell-Wandler

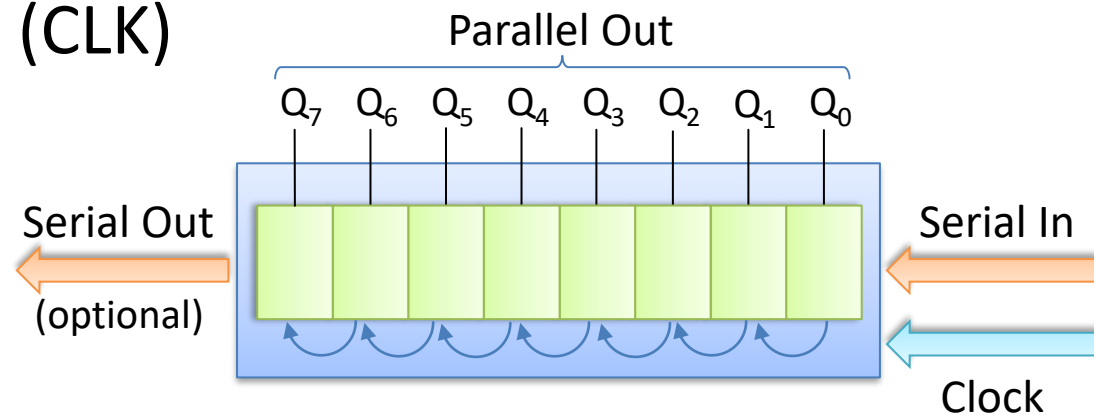
- Implementierung

- Schieberegister
 - Daten werden bitweise hinaus geschoben
 - Register wird Schritt für Schritt geleert



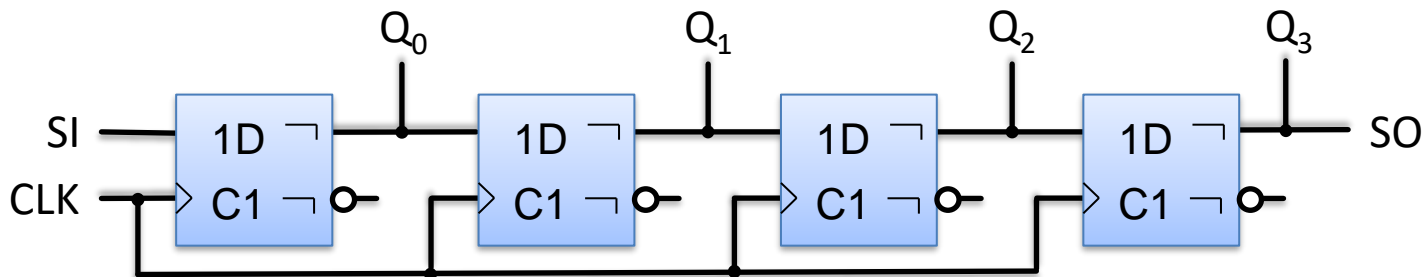
Schieberegister (1)

- Funktionsweise
 - Serielle Eingabe: Serial in (SI), Data in (DIN, DI)
 - Serielle Ausgabe: Serial out (SO)
 - Parallele Ausgabe: Parallel out (Q_i)
 - Takt: Clock (CLK)



Schieberegister (2)

- Funktionsweise (Fortsetzung)
- Implementierung
 - D-Flipflops
 - Kaskadiert (Daisy-Chain-Prinzip)
 - Gemeinsamer Takt



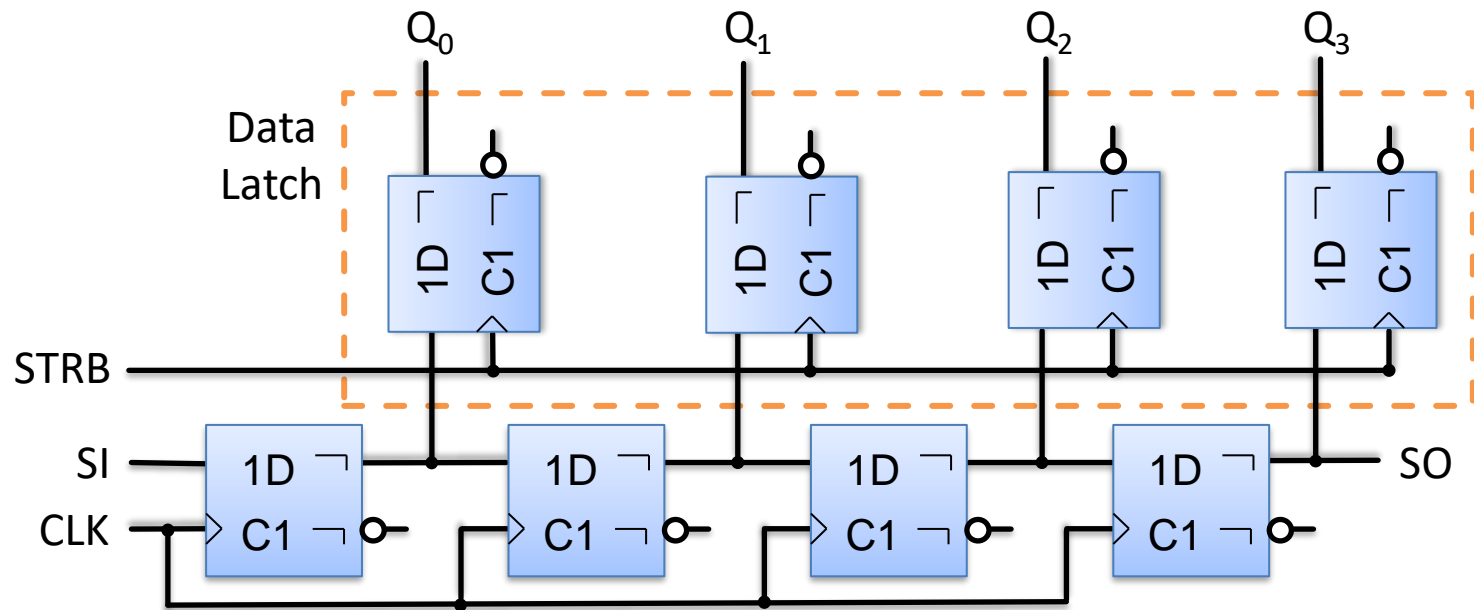
Schieberegister (3)

- Funktionsweise (Fortsetzung)
 - Beispiel: Schieben eines Bits

Tick	SI	CLK	Q ₀	Q ₁	Q ₂	Q ₃
0	0	↑	0	0	0	0
1	1	↑	0	0	0	0
2	0	↑	1	0	0	0
3	0	↑	0	1	0	0
4	0	↑	0	0	1	0
5	0	↑	0	0	0	1
6	0	↑	0	0	0	0

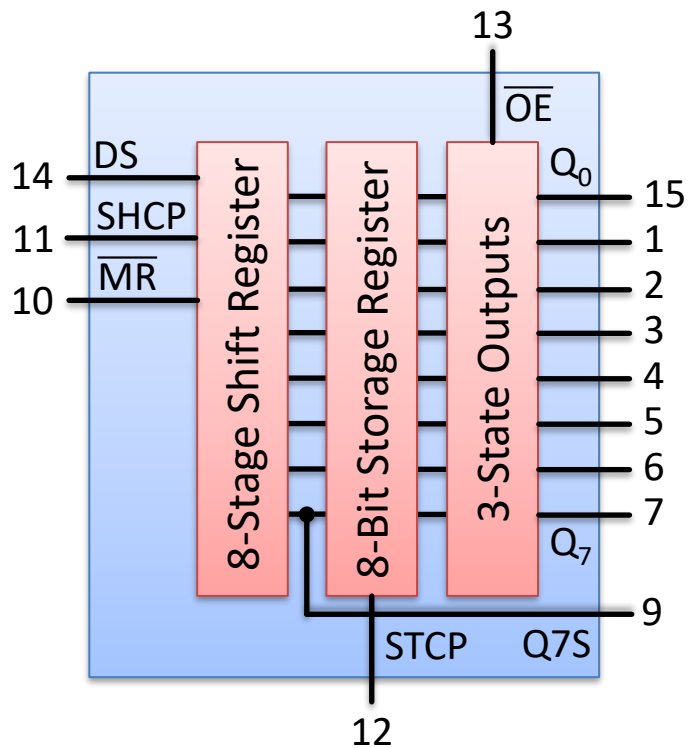
Schieberegister (4)

- Ausgabezwischenspeicher
 - Verbirgt den Vorgang des Schiebens
 - Strobe aktiviert den Zwischenspeicher

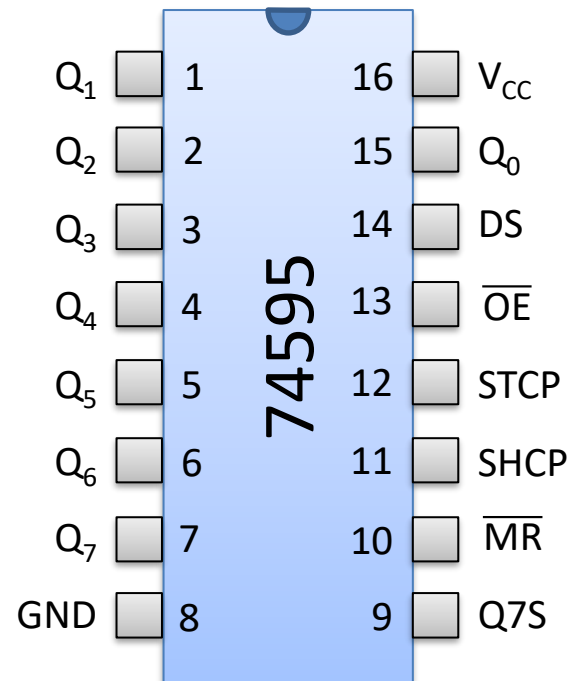


Schieberegister (5)

- 74595 – 8-bit serial-in shift register



Blockdiagramm



Pinnkonfiguration

Shift Registers (6)

- 74595 – 8-bit serial-in shift register (Fortsetzung)

Symbol	Pin	Beschreibung (Englisch)
Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7	15, 1, 2, 3, 4, 5, 6, 7	parallel data output
GND	8	ground (0 V)
Q7S	9	serial data output
$\overline{\text{MR}}$	10	master reset
SHCP	11	shift register clock input
STCP	12	storage register clock input
$\overline{\text{OE}}$	13	output enable input
DS	14	serial data input
V _{CC}	16	supply voltage

Shift Registers (7)

- 74595 – 8-bit shift register; 3-state (Fortsetzung)

Zustand	Beschreibung	Bedeutung
L	Niedrige Spannung	Ausgabe: Stromquelle
H	Hohe Spannung	Ausgabe: Stromsenke
Z	Hohe Impedanz	Nicht verbunden

